

PAT-NO: JP410135786A

DOCUMENT-IDENTIFIER: JP 10135786 A

TITLE: TV RECEPTION TUNER AND PLL-IC

PUBL-DATE: May 22, 1998

INVENTOR-INFORMATION:

NAME

SUGAWARA, TAKESHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUMI ELECTRIC CO LTD

N/A

APPL-NO: JP08305602

APPL-DATE: October 31, 1996

INT-CL (IPC): H03J005/02, H03L007/08 , H04N005/44

ABSTRACT:

PROBLEM TO BE SOLVED: To provide the TV reception tuner by which a high frequency device that is designed to be a separate unit is configured at a lower cost with a simple configuration.

SOLUTION: In the TV reception tuner that includes a mixer 14 and an IF amplifier section 15 which receives a local oscillation frequency from an antenna tuning circuit 12, an RF amplifier 13 and a local oscillation circuit 14a connected sequentially and in which the local oscillation circuit 14a is operated by a PLL circuit 18 based on a reference oscillation signal with a prescribed frequency from a crystal oscillator 17, the PLL circuit 18 is provided with a buffer amplifier to extract the reference oscillation signal from the crystal oscillator 17 and the TV reception tuner 10 is configured such that an output signal from the buffer amplifier is outputted as a reference signal to a PLL circuit 20 that activates at least one circuit 19 provided in a high frequency device 19 designed as a separate unit.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135786

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 J 5/02

H 0 3 J 5/02

K

H 0 3 L 7/08

H 0 4 N 5/44

K

H 0 4 N 5/44

H 0 3 L 7/08

Z

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号

特願平8-305602

(22) 出願日

平成8年(1996)10月31日

(71) 出願人 000006220

ミツミ電機株式会社

東京都調布市国領町8丁目8番地2

(72) 発明者 菅原 武

神奈川県厚木市酒井1601 ミツミ電機株式

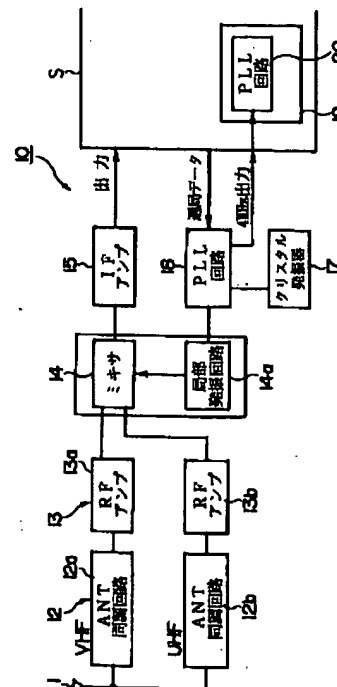
会社厚木事業所内

(54) 【発明の名称】 TV受信用チューナ装置およびPLL-IC

(57) 【要約】

【課題】本発明は、簡単な構成により、別体の高周波装置のコストが低減され得るようにした、TV受信用チューナ装置を提供することを目的とする。

【解決手段】順次に接続されたアンテナ同調回路12、RFアンプ13、局部発振回路14aからの局部発振周波数が入力されるミキサ14、IF増幅部15と、を含んでおり、上記局部発振回路が、クリスタル発振器17からの所定周波数の基準発振信号に基づいてPLL回路18により動作するように、構成されている、TV受信用チューナ装置10において、上記PLL回路18が、クリスタル発振器からの基準発振信号を取り出すためのバッファアンプ18gを備えており、このバッファアンプの出力信号が、別体の高周波装置19内に設けられた少なくとも一つの回路19を動作させるPLL回路20に対して、基準信号として出力されるように、TV受信用チューナ装置10を構成する。



【特許請求の範囲】

【請求項1】 順次に接続されたアンテナ同調回路、RFアンプ、局部発振回路からの局部発振周波数が入力されるミキサ、IF増幅部と、を含んでおり、上記局部発振回路が、クリスタル発振器からの所定周波数の基準発振信号に基づいてPLL回路により動作するように、構成されている、TV受信用チューナ装置において、上記PLL回路が、クリスタル発振器からの基準発振信号を取り出すためのバッファアンプを備えており、このバッファアンプの出力信号が、別体の高周波装置内に設けられた少なくとも一つの回路を動作させるPLL回路に対して、基準信号として出力されることを特徴とする、TV受信用チューナ装置。

【請求項2】 上記PLL回路が、バッファアンプと共に、一体のICとして構成されていることを特徴とする、請求項1に記載のTV受信用チューナ装置。

【請求項3】 局部発振回路を、クリスタル発振器からの所定周波数の基準発振信号に基づいて動作させるPLL回路を構成する、PLL-ICにおいて、上記PLL回路が、クリスタル発振器からの基準発振信号を取り出すためのバッファアンプと、このバッファアンプの出力信号を外部出力するための出力端子端子を備えていることを特徴とする、PLL-IC。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、TV放送信号を受信して、映像信号および音声信号を生成するための、TV受信用チューナ装置およびTV受信用チューナ装置で使用されるPLL-ICに関するものである。

【0002】

【従来の技術】 従来、例えばTV受信用チューナ装置は、図3に示すように、構成されている。即ち、図3において、TV受信用チューナ装置1は、アンテナ2からの信号が入力されるアンテナ同調回路3、RFアンプ4、ミキサ5、IFアンプ6と、を含んでおり、IFアンプ6からの中間周波数信号IFがTV、VTR等のセット部Sに接続されている。

【0003】 ここで、上記アンテナ同調回路3およびRFアンプ4は、それぞれVHF用およびUHF用として、それぞれ二つのアンテナ同調回路およびRFアンプ、即ち、VHF用アンテナ同調回路3a、UHF用アンテナ同調回路3b、VHF用RFアンプ4aおよびUHF用RFアンプ4bを備えている。

【0004】 上記ミキサ5は、上記各RFアンプ4a、4bからのRF信号が入力されると共に、局部発振回路5aからの局部発振周波数が入力されており、RF信号と局部発振周波数を混合して、中間周波数信号を生成する。尚、この局部発振回路5aは、クリスタル発振器8から所定周波数の基準発振信号によって、PLL回路9を介して制御される。

【0005】 さらに、セット部Sには、例えば、RFモジュレータ、衛星放送受信用チューナ装置等、上記TV受信用チューナ装置1と共に併用されるような高周波装置7が内蔵されている。

【0006】 このように構成されたTV受信用チューナ装置1によれば、アンテナ2からの受信信号が、各アンテナ同調回路3aまたは3bに入力されることにより、所望の周波数成分のみが通過し、RFアンプ4aまたは4bにより増幅されてRF信号が生成され、ミキサ5に入力される。該ミキサ5には、クリスタル発振器8のクリスタル結晶によって決まる所定周波数の基準発振信号が、PLL回路9を介して入力されており、該ミキサ5は、RFアンプ4a、4bからのRF信号と上記局部発振回路5aからの局部発振周波数とを混合して、中間周波数信号IFを生成する。

【0007】 上記中間周波数信号IFは、IFアンプ6にて増幅され、セット部Sに入力される。そして、この中間周波数信号IFは、セット部Sにより処理されるようになっている。

【0008】

【発明が解決しようとする課題】 ところで、このように構成されたTV受信用チューナ装置1においては、上記PLL回路9は、図4に示すように、構成されている。即ち、図4において、PLL回路9は、入力端子9aに対して順次に接続されたプリスケラ9b、位相比較器9c、チャージポンプ9d、ディバイダ9eおよび外付けのクリスタル発振器8からの所定周波数の基準発振信号が入力される発振回路9fから構成されている。これにより、入力端子9aに入力される局部発振回路5aからの信号が、位相比較器9cにより位相比較され、チャージポンプ9dの出力端子9gより出力されて、局部発振回路5aへフィードバックされる。また、入力端子9hに入力されるセット部Sからの選択データによって、受信周波数を選択できるようになっている。

【0009】 これに対して、上述したチューナ装置1においては、高周波装置7内には、例えば処理回路を構成するPLL回路7aが備えられており、このPLL回路7aを動作させるための基準周波数発生用のクリスタル発振器7bが備えられていることから、部品点数が多くなり、部品コストおよび組立コストが高くなってしまうという問題があった。

【0010】 本発明は、以上の点に鑑み、簡単な構成により、別体の高周波装置のコストが低減され得るようにした、TV受信用チューナ装置およびPLL-ICを提供することを目的としている。

【0011】

【課題を解決するための手段】 上記目的は、本発明によれば、順次に接続されたアンテナ同調回路、RFアンプ、局部発振回路からの局部発振周波数が入力されるミキサ、IF増幅部と、を含んでおり、上記局部発振回路

が、クリスタル発振器からの所定周波数の基準発振信号に基づいてPLL回路により動作するように、構成されている、TV受信用チューナ装置において、上記PLL回路が、クリスタル発振器からの基準発振信号を取り出すためのバッファアンプを備えており、このバッファアンプの出力信号が、別体の高周波装置内に設けられた少なくとも一つの回路を動作させるPLL回路に対して、基準信号として出力されることを特徴とする、TV受信用チューナ装置により、達成される。

【0012】本発明によるTV受信用チューナ装置は、10 好ましくは、上記PLL回路が、バッファアンプと共に、一体のICとして構成されている。

【0013】また、上記目的は、本発明によれば、局部発振回路を、クリスタル発振器からの所定周波数の基準発振信号に基づいて動作させるPLL回路を構成する、PLL-ICにおいて、上記PLL回路が、クリスタル発振器からの基準発振信号を取り出すためのバッファアンプと、このバッファアンプの出力信号を外部出力するための出力端子端子を備えていることを特徴とする、PLL-ICにより達成される。

【0014】上記構成によれば、PLL回路がバッファアンプを備えているので、クリスタル発振器からの基準発振信号が、このバッファアンプを介して出力され、別体の高周波装置内の他のPLL回路に対して基準信号として入力されることになるので、この高周波装置内の他のPLL回路に関して、基準信号を発生するためのクリスタル発振器を設ける必要がなくなる。従って、別体の高周波装置は部品点数が少なくて済み、部品コストおよび組立コストが低減され得ることになる。

【0015】上記PLL回路が、バッファアンプと共に、10 一体のICとして構成されている場合には、PLL回路を構成するICの製造の際に、同時にバッファアンプも製造され得ることになり、別個にバッファアンプを構成する必要がなく、コストが低減され得ることになる。

【0016】

【発明の実施の形態】以下、図面に示した実施形態に基づいて、本発明を詳細に説明する。図1および図2は、本発明によるTV受信用チューナ装置の一実施形態の構成を示している。

【0017】図1において、TV受信用チューナ装置10は、アンテナ11からの信号が入力されるアンテナ同調回路12、RFアンプ13、ミキサ14、IFアンプ15とを含んでおり、IFアンプ15からの中間周波数信号IFがTV、VTR等のセット部Sに接続されている。

【0018】ここで、上記アンテナ同調回路12およびRFアンプ13は、それぞれVHF用およびUHF用として、それぞれ二つのアンテナ同調回路およびRFアンプ、即ち、VHF用アンテナ同調回路12a、UHF用

アンテナ同調回路12b、VHF用RFアンプ13aおよびUHF用RFアンプ13bを備えている。

【0019】上記ミキサ14は、上記各RFアンプ13a、13bからのRF信号が入力されると共に、局部発振回路14aからの局部発振周波数が入力されており、RF信号と局部発振周波数を混合して、中間周波数信号IFを生成する。尚、この局部発振回路14aは、クリスタル発振器17から所定周波数の基準発振信号によって、PLL回路18を介して制御される。

【0020】さらに、セット部Sには、例えばRFモジュレータ、衛星放送受信用チューナ装置等、上記TV受信用チューナ装置10と共に、併用されるような高周波装置19が内蔵されている。このような高周波装置19は、例えばTV受信用チューナ装置10と共に、一つの装置として同じシャーシ上に実装され、あるいは一つのケース内に組み込まれて使用されるようになっている。

【0021】上記PLL回路18は、図2に示すように、入力端子18aに対して順次に接続されたプリスケール18b、位相比較器18c、チャージポンプ18d、20 デバイダ18eおよび外付けのクリスタル発振器17からの所定周波数の基準発振信号が入力される発振回路18fから構成されている。これにより、入力端子18aに入力される局部発振回路14aからの信号が、位相比較器18cにより位相比較され、チャージポンプ18dの出力端子18hより出力されて、局部発振回路14aへフィードバックされる。また、入力端子18iに入力されるセット部Sからの選択データによって、受信周波数を選択できるようになっている。

【0022】以上の構成は、図3に示した従来のTV受信用チューナ装置1と同様の構成であるが、本発明実施形態によるTV受信用チューナ装置10においては、以下の点で異なる構成になっている。

【0023】即ち、上述したPLL回路18は、図2に示すように、クリスタル発振器17からの基準発振信号を取り出すためのバッファアンプ18gを備えており、このバッファアンプ18gの出力信号が、PLL回路18から外部出力されて、上述した高周波装置19内に設けられた所定の回路内に設けられた発振回路（図示せず）を動作させるためのPLL回路20に対して、基準信号として入力されるようになっている。

【0024】これにより、クリスタル発振器17からの基準発振信号は、発振回路18fにて、所定周波数（例えば4MHz）の基準信号として、干渉を排除するために、バッファアンプ18gを介して、高周波装置19内の回路に設けられたPLL回路20に入力される。従って、PLL回路20は、クリスタル発振器17の基準発振信号が、PLL回路18を介して、基準信号として入力され、この信号に基づいて、所定周波数の発振信号を生成して、高周波装置19内の回路19を動作させるようになっている。

【0025】本発明実施形態によるTV受信用チューナ装置10は、以上のように構成されており、アンテナ11からの受信信号が、各アンテナ同調回路12aまたは12bに入力されることにより、所望の周波数成分のみが通過し、RFアンプ13aまたは13bにより増幅されてRF信号が生成され、ミキサ14に入力される。該ミキサ14には、クリスタル発振器17のクリスタル結晶によって決まる所定周波数の基準発振信号が、PLL回路18を介して入力されており、ミキサ14は、RFアンプ13a、13bからのRF信号と上記局部発振回路14aからの局部発振周波数とを混合して、中間周波数信号IFを生成する。

【0026】上記中間周波数信号IFは、IFアンプ15にて増幅された後、セット部Sに入力される。そして、この中間周波数信号IFは、セット部Sに信号処理されるようになっている。

【0027】この場合、高周波装置16内の回路19のPLL回路20は、クリスタル発振器17の基準発振信号が、PLL回路18の発振回路18fから、干渉を回避するためのバッファアンプ18gを介して入力され、この発振信号に基づいて、所定周波数のクロック信号を生成するようになっているので、このPLL回路20のためのクリスタル発振器が不要となり、部品点数が少なく

【0028】

【発明の効果】以上述べたように、本発明によれば、PLL回路がバッファアンプを備えているので、クリスタル発振器からの基準発振信号が、このバッファアンプを介して出力され、別体の高周波装置内の他のPLL回路30に対して基準信号として入力されることになるので、この高周波装置内の他のPLL回路に関して、基準信号を

発生するためのクリスタル発振器を設ける必要がなくなる。従って、別体の高周波装置の部品点数が少なくて済み、部品コストおよび組立コストが低減され得ることになる。

【0029】かくして、本発明によれば、簡単な構成により、別体の高周波装置のコストが低減され得るようにした、極めて優れたTV受信用チューナ装置が提供され得ることになる。

【図面の簡単な説明】

【図1】本発明によるTV受信用チューナ装置の一実施形態における構成を示すブロック図である。

【図2】図1のTV受信用チューナ装置の、PLL回路の構成を示すブロック図である。

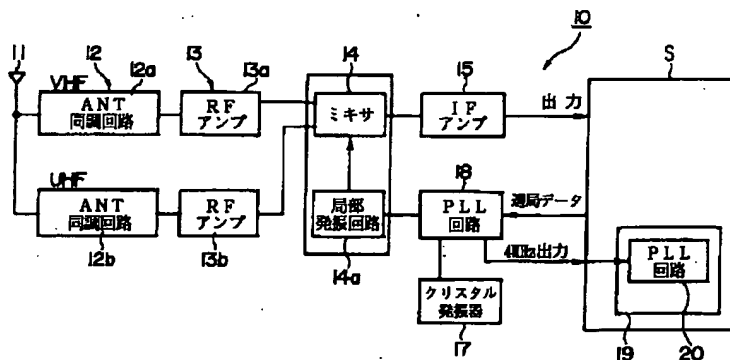
【図3】従来のTV受信用チューナ装置の一例を示すブロック図である。

【図4】図3のTV受信用チューナ装置のPLL回路の構成を示す、ブロック図である。

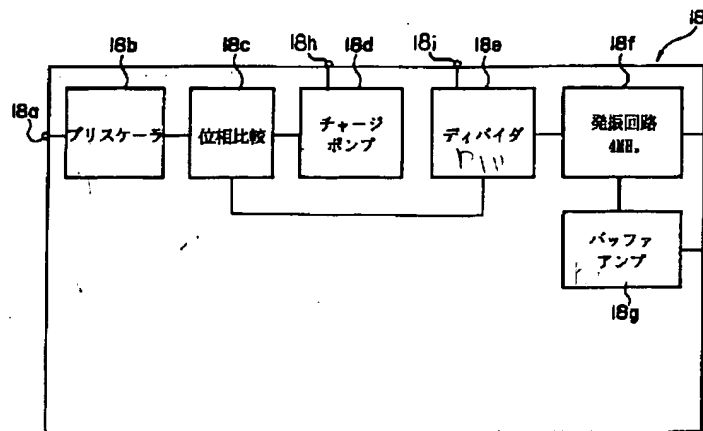
【符号の説明】

10	TV受信用チューナ装置
11	アンテナ
12, 12a, 12b	アンテナ同調回路
13, 13a, 13b	RFアンプ
14	ミキサ
14a	局部発振回路
15	IF増幅部
17	クリスタル発振器
18	PLL回路
18f	発振回路
18g	バッファアンプ
19	高周波装置
20	PLL回路
S	セット部

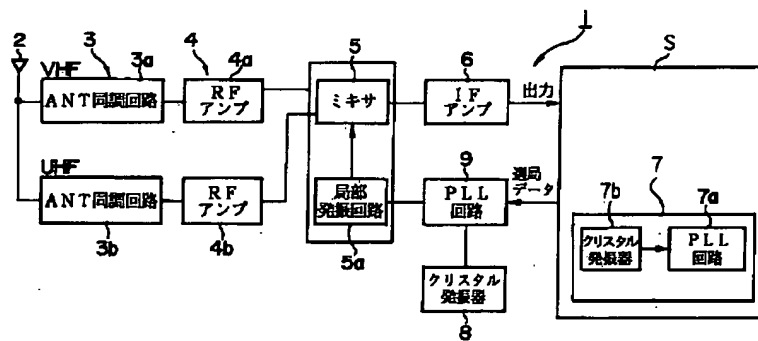
【図1】



【図2】



【図3】



【図4】

